

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-216753

(43)Date of publication of application : 05.08.1994

(51)Int.Cl. H03K 19/0185
G09G 3/36
H03K 5/02

(21)Application number : 05-180788 (71)Applicant : SONY CORP
(22)Date of filing : 25.06.1993 (72)Inventor : MAEKAWA TOSHIICHI
HAYASHI YUJI

(30)Priority

Priority number : 04338123 Priority date : 25.11.1992 Priority country : JP

(54) LOW AMPLITUDE INPUT LEVEL CONVERTING CIRCUIT

(57)Abstract:

PURPOSE: To obtain the level converting circuit which can operate enough against an input clock signal of low amplitude.

CONSTITUTION: The input level converting circuit is provided with detector/offsetters 1A1B and a level shifter 2. The level shifter 2 contains an input transistor mn1 having a prescribed threshold and amplifies an input clock signal CK1 of comparatively low amplitude to an output clock signal Vout of comparatively high amplitude. The detector/offsetter 1A detects a threshold of the input register concerned mn1 and adds an offset corresponding thereto to the input clock signal CK1 and thereafter supplies it to the level shifter concerned 2.

CLAIMS

[Claim(s)]

[Claim 1] A low amplitude input level converting circuit comprising:

A level conversion section which amplifies an input clock signal of low amplitude to an output clock signal of high amplitude comparatively including an input transistor which has a predetermined threshold.

The detector / off-setter supplied to this level conversion section after detecting a threshold of this input transistor and adding offset according to this to an input clock signal

[Claim 2]The low amplitude input level converting circuit according to claim 1 which said detector / off-setter are provided with a sensing element which detects a threshold of this input transistor and adds offset according to a detection result to an input clock signal.

[Claim 3]While applying offset according to voltage of a threshold level which said sensing element consists of a detecting transistor formed so that it might have a threshold equivalent to this input transistor and is produced between its source/gate to an input clock signalThe low amplitude input level converting circuit according to claim 2 where it has a current source which drives this detecting transistor.

[Claim 4]The low amplitude input level converting circuit according to claim 3 where said current source consists of a transistor element or a resistance element by which the series connection was carried out between a power source line and a detecting transistor.

[Claim 5]Said level conversion section contains an input transistor of a couple which accepts an input clock signal of an opposite phase in a gate mutuallyThe low amplitude input level converting circuit according to claim 1 where an input clock signal supplied to a gate of one input transistor is simultaneously impressed to source of an input transistor of another side.

[Claim 6]The low amplitude input level converting circuit according to claim 1 where said level conversion section consists of a current mirror circuit.

[Claim 7]The low amplitude input level converting circuit according to claim 1 where said level conversion section consists of flip-flop circuits.

[Claim 8]The low amplitude input level converting circuit according to claim 1 which is built in a thin film transistor integrated circuit device and functions as the clock interface.

[Claim 9]Said level conversion section contains an input transistor of a couple and an input clock signal of single phase to which predetermined offset was added by a corresponding sensing element is impressed to a gate of one input transistorThe low amplitude input level converting circuit according to claim 2 where direct predetermined offset is impressed to a gate of an input transistor of another side via a corresponding sensing element.

[Claim 10]While an input clock signal of single phase supplied to a gate of one input transistor is simultaneously supplied to source of an input transistor of another sideThe low amplitude input level converting circuit according to claim 9 which contains auxiliary elements for reducing driving ability of one input transistor from an input transistor of another side and attains reversal stabilization of an output clock signal when this single phase input clock signal switches to a zero level.

[Claim 11] Said auxiliary elements consist of auxiliary transistors and the source is connected to source of an input transistor of another side. The low amplitude input level converting circuit according to claim 10 where the drain is connected to a gate of one input transistor and common connection of the gate is carried out to a gate of an input transistor of another side.

[Claim 12] A active-matrix indicator containing liquid crystal picture elements and a thin film transistor for a pixel drive characterized by comprising the following: A circumference driving circuit part containing a vertical shift register which supplies a horizontal shift register and a selection signal which control supply of a picture signal over this thin film transistor. An active matrix type liquid crystal display device with which a clock interface which supplies a clock signal to these shift registers was formed on the same substrate.

A level conversion section to which said clock interface amplifies an external input clock signal of low amplitude to an internal output clock signal of high amplitude comparatively including an input transistor which has a predetermined threshold. The detector / off-setter supplied to this level conversion section after detecting a threshold of this input transistor and adding offset according to this to an external input clock signal

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a level conversion circuit. In more detail it is built in a thin film transistor integrated circuit device etc. functions as the clock interface and is related with the low amplitude input level converting circuit which carries out pulse amplification of the input clock signal of low amplitude.

[0002]

[Description of the Prior Art] An example of the conventional level conversion circuit is shown in drawing 7. This level conversion circuit 101 is built in the thin film transistor (TFT) integrated circuit device 102 and functions as that clock interface. The level conversion circuit 101 consists of a current mirror circuit containing input transistor mn1 of a couple mn2 and load transistor mp1 of a couple and mp2. Each input transistor is N channel electric field effect type TFT. Each load transistor is P channel electric field effect type TFT. Clock signal CK1 of an opposite phase and CK2 are mutually supplied to the gate of input transistor mn1 of a couple and mn2 respectively. A current mirror circuit receives supply of the power supply voltage VDD and supplies output clock signal Vout by which pulse amplification was answered and carried out to input clock signal CK1 and CK2. This output clock signal Vout is

used as an internal clock for operation of the thin film transistor integrated circuit device 102. This thin film transistor integrated circuit device 102 has comparatively high operating voltage and the power supply voltage VDD is about 11V–14V. On the other hand input clock signal CK1 of a couple and CK2 are supplied from the timing generator (TG) 103. This timing generator 103 consists of a CMOS gate array usually formed in the silicon chip and that power supply voltage is comparatively low.

[0003]

[Problem(s) to be Solved by the Invention] With reference to drawing 8 Object of the Invention is explained briefly. As shown in (a) the conventional level conversion circuit 101 answers input clock signal CK1 and carries out pulse amplification of the output clock signal Vout. Under the present circumstances the amplitude (summit potential) of input clock signal CK1 needs to be higher than the threshold Vth of input transistor mn1 to some extent. For example when the threshold Vth sets to 3V the summit potential of an input clock signal is needed V or more [4]. If the summit potential of input clock signal CK1 is lower than the threshold voltage Vth as shown in (b) input transistor mn1 will not fully flow and proper output clock signal Vout will not be obtained.

[0004] On the other hand generally the timing generator 103 of the exterior used as the supply source of an input clock signal comprises a CMOS gate array the voltage lowering progresses quickly and power supply voltage has become less than 5V to conventional 3.3V and also it in recent years. Thus in the clock signal supplied from the timing generator by which voltage lowering was carried out. There are some which are less than the TFT threshold by the side of the thin film transistor integrated circuit device 102 and under the present circumstances the technical problem that it is becoming a very difficult situation interfacing directly the CMOS gate array by which voltage lowering was carried out and a thin film transistor integrated circuit device occurs.

[0005] In the conventional example shown in drawing 7 the level conversion circuit is mutually operated using opposite polar two phase input clock signal CK1 and CK2. Therefore the contact button of a couple is needed as a clock interface. The number of contact buttons of a clock interface increases and while connection work becomes complicated compact mounting of a device is checked as the number of required internal clocks increases. In view of this point the level conversion circuit which operates with a single phase input clock signal is proposed and that example is shown in drawing 9. It has the same composition as the two phase input level converting circuit fundamentally shown in drawing 7 and is understanding easily by giving a corresponding reference mark to a corresponding portion. A different point is replacing with inversion input clock signal CK2 to the gate of input transistor mn2 and impressing fixed DC bias VG.

[0006] With reference to drawing 10 operation of the single phase input level conversion circuit shown in drawing 9 is explained briefly. If input clock signal CK

becomes high-level input transistor mn1 and load transistor mp2 will be in switch-on and output clock signal Vout by which pulse amplification was carried out will rise. Next if input clock signal CK is set to a low level while load transistor mp2 will be in non-switch-on output clock signal Vout falls by operation of input transistor mn2 to which fixed bias VG was impressed. In order to be stabilized and to perform this operation based on the summit potential of input clock signal CK the threshold voltage of drive transistor mn2 etc. it is necessary to set up fixed bias VG appropriately. However it is very difficult to set up fixed bias VG in internal circuit in practice. Adjustment delicate also as an external input is required for fixed bias VG and it is not practical. Like the two phase input level converting circuit shown in drawing 7 also in the single phase input level conversion circuit shown in drawing 9 when the summit potential of an input clock signal becomes below the threshold voltage of an input transistor the technical problem that proper output clock signal Vout cannot be obtained occurs.

[0007]

[Means for Solving the Problem] In view of a technical problem of a Prior art mentioned above an object of this invention is to provide comparatively a level conversion circuit which can operate stably also to a two phase or a single phase input clock signal of low amplitude. The following means were provided in order to attain this purpose. That is a low amplitude input level converting circuit concerning this invention comprises a detector / an off-setter arranged at the preceding paragraph and a level conversion section arranged in the latter part. A level conversion section amplifies an input clock signal of low amplitude to an output clock signal of high amplitude comparatively including an input transistor which has a predetermined threshold. After a detector / off-setter detects a threshold of this input transistor and adds offset according to this to an input clock signal it is supplied to this level conversion section.

[0008] According to one mode of this invention said detector / off-setter are provided with a sensing element which detects a threshold of this input transistor and adds offset according to a detection result to an input clock signal. This sensing element consists of a detecting transistor formed so that it might have a threshold equivalent to this input transistor and while applying offset according to voltage of a threshold level produced between its source/gate to an input clock signal it has a current source which drives this detecting transistor. This current source consists of a transistor element or a resistance element by which the series connection was carried out for example between a power source line and a detecting transistor. Preferably said level conversion section contains an input transistor of a couple which accepts a two phase input clock signal of an opposite phase in a gate mutually and an input clock signal supplied to a gate of one input transistor is simultaneously impressed to source of an input transistor of another side. A level conversion section which has this composition consists of a current mirror circuit for example. Or it may replace with

this and a flip-flop circuit may be used.

[0009] This invention is not restricted to a two phase input level converting circuit mentioned above and can be applied also to a single phase input level conversion circuit. That is according to other modes of this invention a level conversion section contains an input transistor of a couple and an input clock signal of single phase to which predetermined offset was added by a corresponding sensing element is impressed to a gate of one input transistor. Direct predetermined offset is impressed to a gate of an input transistor of another side via a corresponding sensing element. In this case an input clock signal of single phase supplied to a gate of one input transistor is simultaneously supplied to source of an input transistor of another side. When a single phase input clock signal switches to a zero level auxiliary elements for reducing driving ability of one input transistor from an input transistor of another side are contained and reversal stabilization of an output clock signal is attained. Said auxiliary elements consist of auxiliary transistor the source is connected to source of an input transistor of another side the drain is connected to a gate of one input transistor and common connection of the gate is carried out to a gate of an input transistor of another side.

[0010] A low amplitude input level converting circuit concerning this invention is built for example in a thin film transistor integrated circuit device and functions as the clock interface. For example as a thin film transistor integrated circuit device A active-matrix indicator containing liquid crystal picture elements and a thin film transistor for a pixel drive A circumference driving circuit part containing a vertical shift register which supplies a horizontal shift register and a selection signal which control supply of a picture signal over this thin film transistor An active matrix type liquid crystal display device with which a low amplitude input level converting circuit which supplies an input clock signal to these shift registers was formed on the same board is mentioned. In this case a low amplitude input level converting circuit carries out accumulation formation of the electric field effect type TFT. However this invention may not be restricted to this and a low amplitude input level converting circuit may be the MOS transistor which used bulk silicon. GaAs may be used as a semiconductor material.

[0011]

[Function] According to this invention even the proper level [input clock signal / of low amplitude] corresponding to the threshold of TFT first adds offset internally and level conversion is performed after an appropriate time. To the input clock signal amplitude of the threshold plus alpha having been conventionally required for even if it is the input summit potential below a threshold pulse amplification operation is attained enough. Therefore if the low amplitude input level converting circuit concerning this invention is used a clock interface will be directly attained also to the timing generator which consists of a CMOS gate array by which voltage lowering was carried out. This invention is applicable not only to a two phase input level converting circuit but a single phase input level conversion circuit and when it uses as a clock

interface it can reduce the number of contact buttons.

[0012]

[Example] With reference to drawing the suitable example of this invention is described in detail below. Drawing 1 is a circuit diagram showing the 1st example of the low amplitude input level converting circuit concerning this invention. This level conversion circuit comprises a detector / the off-setters 1A and 1B of the preceding paragraph and the latter level shifter 2 (level conversion section) so that it may illustrate. Including input transistor mn1 which has the predetermined threshold V_{th} the level shifter 2 operates so that input clock signal CK1 of low amplitude may be comparatively amplified to output clock signal Vout of high amplitude. Input transistor mn1 consists of N channel electric field effect type TFT in this example. On the other hand a detector / off-setter 1A detects the threshold V_{th} of input transistor mn1 and after it adds the offset according to this to input clock signal CK1 it supplies it to the level shifter 2. This detector / off-setter 1A are provided with the sensing element. A sensing element is provided with the detecting transistor mpA formed so that it might have a threshold equivalent to this input transistor mn1. While applying the offset according to the voltage of the threshold level produced between its source/gate to input clock signal CK1 it has the current source I_o which drives this detecting transistor mpA. This detecting transistor mpA consists of P channel electric field effect type TFT and the drain and the gate are connected also to the gate of corresponding input transistor mn1 while they are connected mutually. Input clock signal CK1 is supplied to the source. The detecting transistor mpA flows when the voltage between source/gate exceeds a threshold and current flows through it from the current source I_o . If this current flows the potential of the node A will fall and the detecting transistor mpA will be in non-switch-on. Therefore in a stationary state the source / voltage between gates of the detecting transistor mpA are maintained at threshold voltage $+ \alpha$. Since the threshold of the detecting transistor mpA is beforehand formed so that it may become equal to input transistor mn1 it means that the threshold of input transistor mn1 was detected as a result. Since the bias of threshold $V_{th} + \alpha$ always starts the gate of input transistor mn1 so that clearly from a figure the DC offset according to this bias will be added to input clock signal CK1.

[0013] The level shifter 2 consists of a current mirror circuit containing input transistor mn1 of a couple mn2 and load transistor mp1 of a couple and mp2 in this example. Input transistor mn2 of another side consists of N channel electric field effect type TFT similarly and it is connected to corresponding detector / off-setter 1B of another side. Both load transistor mp1 and mp2 consist of P channel electric field effect type TFT. Input clock signal CK1 of an opposite phase and CK2 are mutually supplied to input transistor mn1 of a couple and mn2 via a detector / off-setters 1A and 1B corresponding respectively. Input transistor mn1 which corresponds if one clock signal CK1 becomes high-level flows and it flows also through load

transistor mp2 according to this. Therefore the drain of this transistor is raised in the power-supply-voltage VDD side and amplified output clock signal Vout is obtained. If the input clock signal of a couple is reversed after predetermined retention time progress and input transistor mn2 of another side flows via the detecting transistor mpB of another side pull down [of the drain] will be carried out to the grounding (GND) side and output clock signal Vout will fall.

[0014] Drawing 2 is a wave form chart showing the simulation result of the low amplitude input level converting circuit shown in drawing 1. Voltage is taken along a vertical axis and lapsed time is taken along the horizontal axis. In this example mutually input clock signal CK1 of an opposite phase and CK2 have the amplitude of about 1 V and they have the pulse width for about 0.5 microsecond. The threshold voltage Vth of the input transistor of a couple is about 3.5V. The power supply voltage VDD is set as about 12V. Input clock signal CK1 and CK2 can add offset for threshold $V_{th} + \alpha$ respectively by the detector / off-setters 1A and 1B which were shown in drawing 1 and the potential waveforms in input node A and B are expressed with VA and VB so that clearly from a wave form chart. Since input transistor mn1 and mn2 are driven effectively output clock signal Vout by which pulse amplification was carried out to near power-supply-voltage VDD is obtained by this level shift. However since some penetration current flows also into input transistor mn2 connected to this and series when load transistor mp2 shown in drawing 1 flows the voltage drop for ΔV minutes is looked at by the peak level of output clock signal Vout. However this voltage drop is a level which is satisfactory practically. In this example since the voltage for threshold voltage $V_{th} + \alpha$ is impressed between the source of input transistor mn2 and a gate some penetration current will flow. Since the voltage beyond a threshold is impressed to the gate of an input transistor according to this invention as mentioned above there is no reactive component and level conversion is performed at high speed.

[0015] Drawing 3 is a circuit diagram showing the concrete example of composition of the detector / off-setter 1A shown in drawing 1. In the example of (a) the current source connected to the detecting transistor mpA consists of P channel electric field effect type transistor mp3 by which the grounded gate was carried out. On the other hand this current source consists of the high resistance element R in the example of (b).

[0016] Drawing 4 is a circuit diagram showing the 2nd example of the low amplitude input level converting circuit concerning this invention. In order to understand easily a corresponding reference number and reference mark are given to the 1st example shown in drawing 1 and a corresponding portion. In this example it replaces with a current mirror circuit as a level shifter and the flip-flop circuit is adopted. That is the drain of one input transistor mn1 is connected to the gate of load transistor mp2 which counters and the drain of input transistor mn2 of another side is connected to the gate of load transistor mp1 which similarly counters. If one input clock signal CK1

becomes high-level input transistor mn1 will flow and it will flow also through load transistor mp2 according to this. As a result as for the drain of transistor mp2 pull-up of while is carried out to the power-supply-voltage VDD side and output clock signal Vout1 becomes high-level. Since the load transistor mp1 [remaining] will be in non-switch-on at this time in the output terminal of another side output clock signal Vout2 of a low level appears. Next if input clock signal CK1 of a couple and CK2 are reversed input transistor mn1 will be in non-switch-on and input transistor mn2 will be in switch-on instead. As a result output clock signal Vout1 will fall and output clock signal Vout2 of another side will rise. Although the P channel type was used as a load transistor in this example using an N channel type as an input transistor of course this may be made reverse. At this time the power-supply-voltage VDD and grounding (GND) side is replaced. Naturally also in the 1st example shown in drawing 1 such modification is possible.

[0017] Drawing 5 is a circuit diagram showing the 3rd example of the low amplitude input level converting circuit concerning this invention. This example is modification of the 1st example shown in drawing 1 and aims at controlling voltage drop ΔV of an output clock signal. It has the same composition as the 1st example fundamentally and is understood easily by giving a corresponding reference mark to a corresponding portion. Different points are not grounding the source of input transistor mn1 but supplying input clock signal CK2 and supplying input clock signal CK1 to the source of input transistor mn2 similarly.

[0018] Next operation of this 3rd example is explained in detail. In this example the amplitude of input clock signal CK1 of an opposite phase and CK2 was mutually set as 2.0V and the threshold of input transistor mn1 and mn2 is set as 3.5V. If one input clock signal CK1 becomes high-level 5.5V to which offset for a threshold was added will be impressed to the gate of corresponding input transistor mn1. Since clock signal CK2 in a low level is impressed to the source of input transistor mn1 at this time source / voltage between gates is set to 5.5V and the input transistor mn1 concerned flows. Therefore since the gate of load transistor mp2 is pulled to 0V it will be in an ON state and output clock signal Vout rises to the power-supply-voltage VDD side. At this time 2.0V of input clock signal CK1 is impressed to the source of input transistor mn2 by which the series connection is carried out and similarly the voltage 3.5V equivalent to a part for a threshold is impressed to the gate. The source / voltage between gates of this input transistor mn2 are set to $3.5V - 2.0V = 1.5V$ and maintains a perfect OFF state. Therefore the drain of load transistor mp2 is raised by abbreviated completeness at the power-supply-voltage VDD side and a voltage drop substantial to output clock signal Vout is not produced.

[0019] Here the application of the low amplitude input level converting circuit which starts this invention with reference to drawing 6 is explained. In this example a low amplitude input level converting circuit is built in the active matrix type liquid crystal display device 51 and functions as a clock interface to external timing JIENERETA 52.

The active matrix type liquid crystal display device 51 has an active-matrix indicator and contains liquid-crystal-picture-elements LC of a large number arranged in a matrix form and TFT which drives this so that it may illustrate. Multiple connection of additional-capacities CS is carried out to the both ends of each liquid-crystal-picture-elements LC. The drain of each TFT is connected to the picture element electrode which constitutes the corresponding end of liquid-crystal-picture-elements LC and the gate is connected to the gate line 54. The other end of each liquid-crystal-picture-elements LC is connected to the counter-electrode COM. It is connected to the vertical shift register 55 and two or more gate lines 54 receive supply of a selection signal. It is connected to the common data line 56 via the sampling switch SW respectively and two or more signal lines 53 receive supply of the picture signal Vsig. Each sampling switch SW is connected to the horizontal shift register 58 via the corresponding gate circuit 57. These shift registers 55 and 58 together constitute a circumference driving circuit part.

[0020] The vertical shift register 55 chooses the gate line 53 by line sequential. On the other hand the horizontal shift register 58 makes it flow through the sampling switch SW one by one via the gate circuit 57 and distributes the picture signal Vsig to each signal line 53. If the one gate line 54 is chosen TFT(s) on the line concerned will be in switch-on all at once. The picture signal Vsig sampled from each signal line 53 is written in liquid-crystal-picture-elements LC via this TFT through which it flowed. Release of selection of the gate line concerned will hold the picture signal written in liquid-crystal-picture-elements LC as it is till the next selection operation.

[0021] The horizontal shift register 58 is started by level start signal HST and transmits level start signal HST one by one mutually synchronizing with horizontal clock signal HCK1 of an opposite phase and HCK2 and drives the sampling switch SW. The vertical shift register 55 is started according to the vertical start signal VST and transmits the vertical start signal VST mutually synchronizing with vertical clock signal VCK1 of an opposite phase and VCK2 and chooses two or more gate lines 54 by line sequential. These level start signal HST and horizontal clock signal HCK1 HCK2 the vertical start signal VST vertical clock signal VCK1 and VCK2 are internally formed of the low amplitude input level converting circuits 61-64 mentioned above respectively. These low amplitude input level converting circuits 61-64 specifically have the circuitry shown in drawing 1 drawing 4 or drawing 5. However in forming horizontal clock signal HCK1 of a couple HCK2 or vertical clock signal VCK1 and VCK2 using the circuitry of drawing 1 which outputs a single-phase internal clock signal or drawing 5 the inverter for creating an inversion signal internally is needed. The two phase input clock signal which has the cycle and phase which were appropriately adjusted from external timing J1 ENERETA 52 respectively is supplied to the low amplitude input level converting circuits 61-64 mentioned above.

[0022] By the way in the application shown in drawing 6 the thing of two phase input structure is adopted as the low amplitude input level converting circuits 61 thru/or 64.

Therefore between the clock interfaces which consist of the timing generator 52 and the two phase input level converting circuits 61 thru/or 64 a total of eight contact buttons are required. If it replaces with a two phase input level converting circuit and a single phase input level conversion circuit is used as a clock interface it is possible to reduce by half this number of contact buttons. About especially the level conversion circuit 63 that outputs the level conversion circuit 61 which outputs level start signal HST and the vertical start signal VST the direction of single phase input structure is essentially suitable. In view of this point a single phase input level conversion circuit is shown in drawing 11 as the 4th example of this invention. This 4th example improves the 3rd example of the two phase input structure shown in drawing 5 in single phase input structure. Therefore in order to understand easily the corresponding reference mark is given to the 3rd example and a corresponding portion. Single-phase input clock signal CK is supplied to one detector / off-setter 1A and the composition is the same as that of the detector / off-setter contained in a previous example so that it may illustrate. However in this example it replaced with the P channel type as the detecting transistor m_nA and the N channel type is adopted. The detector / off-setter 1B of another side contain the N channel type detecting transistor m_nB similarly. However the source is grounded. The level shifter 2 is connected between both detectors / off-setters 1A and 1B and it consists of a differential type current mirror circuit in this example. The level shifter 2 contains input transistor m_n1 of a couple and m_n2 and input clock signal CK of the single phase to which predetermined offset was added by the corresponding detecting transistor m_nA is impressed to the gate of one input transistor m_n1 so that it may illustrate. Direct predetermined offset is impressed to the gate of input transistor m_n2 of another side via the corresponding detecting transistor m_nB . This single phase input clock signal CK is simultaneously supplied to the source of input transistor m_n2 of another side. This level shifter 2 contains auxiliary elements when single phase input clock signal CK switches to a zero level reduces the driving ability of one input transistor m_n1 from input transistor m_n2 of another side and attains reversal stabilization of output clock signal V_{out} . These auxiliary elements consist of the N channel type auxiliary transistors m_nX and the source is connected to the source of input transistor m_n2 of another side. The drain is connected to the gate of one input transistor m_n1 and common connection of the gate is carried out to the gate of input transistor m_n2 of another side.

[0023] With reference to drawing 11 operation of a single phase input level conversion circuit is explained in detail succeeding. If single phase input clock signal CK rises high-level one input transistor m_n1 will be in switch-on via the detecting transistor m_nA and the gate voltage of drive transistor m_p2 will be reduced at the ground level side. As a result drive transistor m_p2 will be in switch-on the potential of output node C can pull up to the power-supply-voltage V_{DD} side and output clock signal V_{out} rises. Then if single phase input clock signal CK falls to a zero level the voltage of an

offset level will be impressed to the gate of one input transistor mn1. The voltage of the offset level is always impressed to the gate of input transistor mn2 of another side by the corresponding detecting transistor mnB. Therefore since potential difference does not arise in the difference input of the current mirror circuit which constitutes the level shifter 2 from as [this] the potential of output node C will become unfixed or it will be set to the intermediate level of the power supply potential VDD and earth potentials (GND). So in this example the auxiliary transistors mnX are included in a differential type current mirror circuit and when single phase input clock signal CK is a zero level it is carrying out as [reduce / the potential of the node A / rather than the potential of the node B / enough]. Since these auxiliary transistors mnX are in the state near cutoff like input transistor mn2 when single phase input clock signal CK is high-level they do not check charge of output node C. When single phase input clock signal CK is a zero level on the other hand reduce the potential of the node A and the detecting transistor mnA. Input transistor mn1 and the load transistors mp1 and mp2 are brought close to cutoff the discharge characteristic of output node C is improved and the state of output clock signal Vout is made to become final and conclusive. It is important to optimize the size of the auxiliary transistors mnX to some extent as design items. For example when the size of the auxiliary transistors mnX is too large and single phase input clock signal CK is a zero level while the potential of the node A can fully be reduced. When single phase input clock signal CK is high-level the potential of the node A has not fully risen according to the leakage current of the auxiliary transistors mnX and there is **** which spoils the charging characteristic of output node C.

[0024] Drawing 12 makes the circuitry of the 4th example shown in drawing 11 materialize further. By this example the power supply voltage VDD is set as 12V. The current mirror composition which consists of transistor mp3mp5 and mn6 as a current source of the detecting transistor mnA is adopted. In particular transistor mn6 is adopted as a high resistance element for current control. Similarly the current mirror composition which consists of transistor mp4mp5 and mn6 is adopted as a current source of the detecting transistor mnB of another side. The load carrying capacity CLD is connected to output node C via the inverter which consists of transistor mp7 of a couple and mn7. This inverter is an output buffer.

[0025] Finally with reference to drawing 13 the simulation result of the single phase input level conversion circuit shown in drawing 12 is shown. (1) expresses the simulation result at the time of supplying single phase input clock signal CK which has the amplitude of 5V. The pulse width of input clock signal CK is about 200 ns. Output clock signal Vout answers input clock signal CK and rises to near the source voltage level enough. The reversed output voltage VLD is impressed to load carrying capacity. (2) expresses the simulation result at the time of lowering the amplitude of single phase input clock signal CK to 3V. Output clock signal Vout and the output voltage VLD which were excellent in the response without abbreviated inferiority compared

with the case of (1) are obtained.

[0026]

[Effect of the Invention]By according to this inventioneven a proper level's offsetting the input clock signal of low amplitude internallyand performing level conversion of pulse amplitude after an appropriate timeas explained aboveIt is effective in becoming possible to perform the clock interface of the thin film transistor integrated circuit device represented by an active matrix type liquid crystal display device etc. at high speed by the low voltage not more than 3V. It is effective in becoming possible to correspond to the voltage lowering trend of the CMOS gate array which constitutes external timing JIENERETA enoughand it becoming unnecessary to incorporate the pulse amplifier by a high-withstand-pressure MOS process also especially in the gate array sideand the miniaturization of a chip being attained. Since direct continuation becomes possible at a CMOS gate arrayit is effective in the marketability of an active matrix type liquid crystal display device kit increasing. In additionaccording to this inventionsingle phase input-ization is attained by simple composition of adding auxiliary elements to a two phase input level converting circuitand it is effective in the ability to perform stable and high-speed pulse amplification. By using the single phase input level conversion circuit which has this compositionit is effective in the level conversion of a single phase signal like the start pulse of a shift register becoming realizable easily. By using a single phase input level conversion circuit as a clock interfaceit is effective in becoming possible to compare with the former and to reduce the number of contact buttons.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a circuit diagram showing the 1st example of the low amplitude input level converting circuit concerning this invention.

[Drawing 2]It is a wave form chart showing the simulation result of the example shown in drawing 1.

[Drawing 3]It is a circuit diagram showing the example of composition of the detector / off-setter included in the example shown in drawing 1.

[Drawing 4]It is a circuit diagram showing the 2nd example of the low amplitude input level converting circuit concerning this invention.

[Drawing 5]It is a circuit diagram showing the 3rd example of the low amplitude input level converting circuit concerning this invention.

[Drawing 6]It is a block diagram showing the application of the low amplitude input level converting circuit concerning this invention.

[Drawing 7]It is a circuit diagram showing an example of the conventional level conversion circuit.

[Drawing 8] It is a wave form chart for explaining operation of the conventional level conversion circuit.

[Drawing 9] It is a circuit diagram showing other examples of the conventional level conversion circuit.

[Drawing 10] It is a wave form chart for explaining operation of the conventional level conversion circuit.

[Drawing 11] It is a circuit diagram showing the 4th example of the low amplitude input level converting circuit concerning this invention.

[Drawing 12] It is a circuit diagram showing the concrete example of circuitry of the 4th example shown in drawing 11.

[Drawing 13] It is a wave form chart showing the simulation result of the example shown in drawing 12.

[Description of Notations]

1A A detector / off-setter

1B A detector / off-setter

2 Level shifter

mn1 input transistor

mn2 input transistor

mp1 load transistor

mp2 load transistor

mpA detecting transistor

mpB detecting transistor

mnX auxiliary transistors

CK Single phase input clock signal

CK1 input clock signal

CK2 input clock signal

Vout output clock signal

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-216753

(43)公開日 平成 6 年(1994) 8 月 5 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 19/0185				
G 0 9 G 3/36		7319-5 G		
H 0 3 K 5/02	L	7402-5 J		
		8941-5 J	H 0 3 K 19/ 00	1 0 1 D

審査請求 未請求 請求項の数12 F D (全 11 頁)

(21)出願番号 特願平5-180788

(22)出願日 平成 5 年(1993) 6 月25日

(31)優先権主張番号 特願平4-338123

(32)優先日 平 4 (1992)11月25日

(33)優先権主張国 日本 (J P)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番35号

(72)発明者 前川 敏一

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

(72)発明者 林 祐司

東京都品川区北品川 6 丁目 7 番35号 ソニ

ー株式会社内

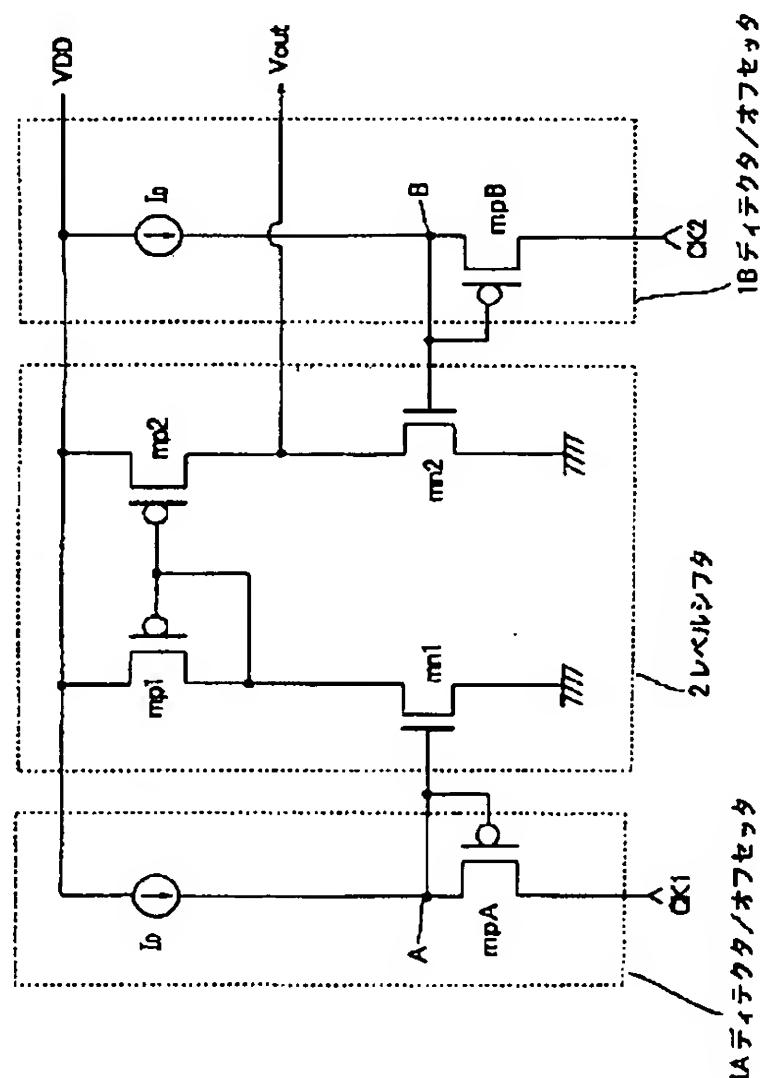
(74)代理人 弁理士 鈴木 晴敏

(54)【発明の名称】 低振幅入力レベル変換回路

(57)【要約】

【目的】 低振幅の入力クロック信号に対しても十分動作可能なレベル変換回路を提供する。

【構成】 入力レベル変換回路はディテクタ／オフセッタ 1 A, 1 B 及びレベルシフタ 2 を備えている。レベルシフタ 2 は、所定の閾値を有する入力トランジスタ m n 1 を含み比較的低振幅の入力クロック信号 C K 1 を比較的高振幅の出力クロック信号 V o u t に増幅する。ディテクタ／オフセッタ 1 A は、該入力トランジスタ m n 1 の閾値を検出しこれに応じたオフセットを入力クロック信号 C K 1 に加えた後、該レベルシフタ 2 に供給する。



【特許請求の範囲】

【請求項 1】 所定の閾値を有する入力トランジスタを含み比較的低振幅の入力クロック信号を比較的高振幅の出力クロック信号に増幅するレベル変換部と、該入力トランジスタの閾値を検出しこれに応じたオフセットを入力クロック信号に加えた後該レベル変換部に供給するディテクタ／オフセッタとを備えた低振幅入力レベル変換回路。

【請求項 2】 前記ディテクタ／オフセッタは、該入力トランジスタの閾値を検出する検出素子を備え、検出結果に応じたオフセットを入力クロック信号に加える請求項 1 記載の低振幅入力レベル変換回路。

【請求項 3】 前記検出素子は、該入力トランジスタと同等の閾値を有する様に形成された検出トランジスタからなり、そのソース／ゲート間に生じる閾値レベルの電圧に応じたオフセットを入力クロック信号にかけるとともに、該検出トランジスタを駆動する電流源が備えられている請求項 2 記載の低振幅入力レベル変換回路。

【請求項 4】 前記電流源は、電源ラインと検出トランジスタの間に直列接続されたトランジスタ素子又は抵抗素子からなる請求項 3 記載の低振幅入力レベル変換回路。

【請求項 5】 前記レベル変換部は、互いに逆相の入力クロック信号をゲートに受け入れる一対の入力トランジスタを含んでおり、一方の入力トランジスタのゲートに供給される入力クロック信号は同時に他方の入力トランジスタのソースに印加される請求項 1 記載の低振幅入力レベル変換回路。

【請求項 6】 前記レベル変換部は、カレントミラー回路からなる請求項 1 記載の低振幅入力レベル変換回路。

【請求項 7】 前記レベル変換部は、フリップフロップ回路からなる請求項 1 記載の低振幅入力レベル変換回路。

【請求項 8】 薄膜トランジスタ集積回路装置に内蔵され、そのクロックインターフェースとして機能する請求項 1 記載の低振幅入力レベル変換回路。

【請求項 9】 前記レベル変換部は一対の入力トランジスタを含んでおり、一方の入力トランジスタのゲートには対応する検出素子により所定のオフセットが加えられた単相の入力クロック信号が印加され、他方の入力トランジスタのゲートには対応する検出素子を介して直接所定のオフセットが印加されている請求項 2 記載の低振幅入力レベル変換回路。

【請求項 10】 一方の入力トランジスタのゲートに供給される単相の入力クロック信号は同時に他方の入力トランジスタのソースに供給されているとともに、該単相入力クロック信号がゼロレベルに切り換わった時、一方の入力トランジスタの駆動能力を他方の入力トランジスタより低下させる為の補助素子を含んでおり、出力クロック信号の反転安定化を図る請求項 9 記載の低振幅入力

レベル変換回路。

【請求項 11】 前記補助素子は補助トランジスタからなり、そのソースは他方の入力トランジスタのソースに接続されており、そのドレインは一方の入力トランジスタのゲートに接続されており、そのゲートは他方の入力トランジスタのゲートと共通接続されている請求項 10 記載の低振幅入力レベル変換回路。

【請求項 12】 液晶画素及び画素駆動用薄膜トランジスタを含むアクティブマトリクス表示部と、該薄膜トランジスタに対する画像信号の供給を制御する水平シフトレジスタ及び選択信号を供給する垂直シフトレジスタを含む周辺駆動回路部と、これらシフトレジスタにクロック信号を供給するクロックインターフェースとが同一基板上に形成されたアクティブマトリクス型液晶表示装置であって、

前記クロックインターフェースは、所定の閾値を有する入力トランジスタを含み比較的低振幅の外部入力クロック信号を比較的高振幅の内部出力クロック信号に増幅するレベル変換部と、該入力トランジスタの閾値を検出しこれに応じたオフセットを外部入力クロック信号に加えた後該レベル変換部に供給するディテクタ／オフセッタとを備えた低振幅入力レベル変換回路を用いるものであるアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明はレベル変換回路に関する。より詳しくは、薄膜トランジスタ集積回路装置等に内蔵されそのクロックインターフェースとして機能し、低振幅の入力クロック信号をパルス増幅する低振幅入力レベル変換回路に関する。

【0002】

【従来の技術】 図 7 に従来のレベル変換回路の一例を示す。このレベル変換回路 101 は薄膜トランジスタ (TFT) 集積回路装置 102 に内蔵され、そのクロックインターフェースとして機能する。レベル変換回路 101 は一対の入力トランジスタ m_{n1} , m_{n2} 及び一対の負荷トランジスタ m_{p1} , m_{p2} とを含むカレントミラー回路からなる。各入力トランジスタは N チャネル電界効果型の TFT である。又、各負荷トランジスタは P チャネル電界効果型の TFT である。一対の入力トランジスタ m_{n1} , m_{n2} のゲートには互いに逆相のクロック信号 $CK1$, $CK2$ が夫々供給される。カレントミラー回路は電源電圧 VDD の供給を受け、入力クロック信号 $CK1$, $CK2$ に応答して、パルス増幅された出力クロック信号 $Vout$ を供給する。この出力クロック信号 $Vout$ は薄膜トランジスタ集積回路装置 102 の動作内部クロックとして用いられる。この薄膜トランジスタ集積回路装置 102 は比較的高い動作電圧を有し、電源電圧 VDD は例えば 11V ~ 14V 程度である。一方、一対の入力クロック信号 $CK1$, $CK2$ はタイミングジェ

ネレータ (TG) 103 から供給される。このタイミングジェネレータ 103 は通常シリコンチップに形成された CMOS ゲートアレイからなり、その電源電圧は比較的低い。

【0003】

【発明が解決しようとする課題】 図 8 を参照して発明が解決しようとする課題を簡潔に説明する。(a) に示す様に、従来のレベル変換回路 101 は、入力クロック信号 CK1 に応答して、出力クロック信号 Vout をパルス増幅する。この際、入力クロック信号 CK1 の振幅 (ピーク電位) は、入力トランジスタ mn1 の閾値 Vth よりある程度高い事が必要である。例えば、閾値 Vth が 3 V とすると、入力クロック信号のピーク電位は 4 V 以上必要となる。(b) に示す様に、入力クロック信号 CK1 のピーク電位が閾値電圧 Vth より低いと、入力トランジスタ mn1 が十分に導通せず、適正な出力クロック信号 Vout が得られない。

【0004】 一方、入力クロック信号の供給源となる外部のタイミングジェネレータ 103 は一般に CMOS ゲートアレイで構成されており、近年その低電圧化が急速に進展し、電源電圧は従来の 5 V から 3.3 V さらにはそれ以下となっている。この様に低電圧化されたタイミングジェネレータから供給されるクロック信号には、薄膜トランジスタ集積回路装置 102 側の TFT 閾値を下回るものがあり、現状では低電圧化された CMOS ゲートアレイと薄膜トランジスタ集積回路装置とを直接インターフェースする事が非常に困難な状況となってきたという課題がある。

【0005】 図 7 に示した従来例では互いに反対極性の二相入力クロック信号 CK1, CK2 を用いてレベル変換回路を動作させている。従って、クロックインターフェースとして一对の接続端子が必要になる。必要な内部クロックの数が増加するにつれて、クロックインターフェースの接続端子数が増大し、結線作業が煩雑になるとともにデバイスのコンパクトな実装が阻害される。この点に鑑み、単相入力クロック信号により動作するレベル変換回路が提案されており、その例を図 9 に示す。基本的には図 7 に示した二相入力レベル変換回路と同様の構成を有しており、対応する部分には対応する参照符号を付して理解を容易にしている。異なる点は、入力トランジスタ mn2 のゲートに対して反転入力クロック信号 CK2 に代え、固定の直流バイアス VG を印加している事である。

【0006】 図 10 を参照して、図 9 に示した単相入力レベル変換回路の動作を簡潔に説明する。入力クロック信号 CK がハイレベルになると、入力トランジスタ mn1 及び負荷トランジスタ mp2 が導通状態となり、パルス増幅された出力クロック信号 Vout が立ち上がる。次に入力クロック信号 CK がローレベルになると、負荷トランジスタ mp2 が非導通状態になるとともに、固定

バイアス VG の印加された入力トランジスタ mn2 の動作により、出力クロック信号 Vout が立ち下がる。かかる動作を安定して行なう為、入力クロック信号 CK のピーク電位や駆動トランジスタ mn2 の閾値電圧等に基づき、固定バイアス VG を適切に設定する必要がある。しかしながら、固定バイアス VG を内部回路的に設定する事は實際上極めて困難である。又、固定バイアス VG を外部入力としても、微妙な調整を要し実用的ではない。図 7 に示した二相入力レベル変換回路と同様に、図 9 に示した単相入力レベル変換回路においても、入力クロック信号のピーク電位が入力トランジスタの閾値電圧以下になると、適正な出力クロック信号 Vout を得る事ができないという課題がある。

【0007】

【課題を解決するための手段】 上述した従来の技術の課題に鑑み、本発明は比較的低振幅の二相又は単相入力クロック信号に対しても安定動作可能なレベル変換回路を提供する事を目的とする。かかる目的を達成する為に以下の手段を講じた。即ち、本発明にかかる低振幅入力レベル変換回路は前段に配置されたディテクタ/オフセットと後段に配置されたレベル変換部とから構成されている。レベル変換部は、所定の閾値を有する入力トランジスタを含み比較的低振幅の入力クロック信号を比較的高振幅の出力クロック信号に増幅する。ディテクタ/オフセットは、該入力トランジスタの閾値を検出しこれに応じたオフセットを入力クロック信号に加えた後該レベル変換部に供給する。

【0008】 本発明の一態様によれば、前記ディテクタ/オフセットは、該入力トランジスタの閾値を検出する検出素子を備え、検出結果に応じたオフセットを入力クロック信号に加える。この検出素子は、該入力トランジスタと同等の閾値を有する様に形成された検出トランジスタからなり、そのソース/ゲート間に生じる閾値レベルの電圧に応じたオフセットを入力クロック信号にかけるとともに、該検出トランジスタを駆動する電流源が備えられている。この電流源は、例えば電源ラインと検出トランジスタの間に直列接続されたトランジスタ素子又は抵抗素子からなる。好ましくは、前記レベル変換部は互いに逆相の二相入力クロック信号をゲートに受け入れる一对の入力トランジスタを含んでおり、一方の入力トランジスタのゲートに供給される入力クロック信号は同時に他方の入力トランジスタのソースに印加される様になっている。かかる構成を有するレベル変換部は、例えばカレントミラー回路からなる。あるいは、これに代えてフリップフロップ回路を用いても良い。

【0009】 本発明は上述した二相入力レベル変換回路に限られるものではなく、単相入力レベル変換回路にも適用できる。即ち、本発明の他の態様によれば、レベル変換部是一对の入力トランジスタを含んでおり、一方の入力トランジスタのゲートには対応する検出素子により

所定のオフセットが加えられた単相の入力クロック信号が印加される。他方の入力トランジスタのゲートには対応する検出素子を介して直接所定のオフセットが印加される。この場合、一方の入力トランジスタのゲートに供給される単相の入力クロック信号は、同時に他方の入力トランジスタのソースに供給されている。単相入力クロック信号がゼロレベルに切り換わった時、一方の入力トランジスタの駆動能力を他方の入力トランジスタより低下させる為の補助素子が含まれており、出力クロック信号の反転安定化を図る。前記補助素子は補助トランジスタからなり、そのソースは他方の入力トランジスタのソースに接続されており、そのドレインは一方の入力トランジスタのゲートに接続されており、そのゲートは他方の入力トランジスタのゲートと共通接続されている。

【0010】本発明にかかる低振幅入力レベル変換回路は、例えば薄膜トランジスタ集積回路装置に内蔵され、そのクロックインターフェースとして機能する。例えば、薄膜トランジスタ集積回路装置としては、液晶画素及び画素駆動用薄膜トランジスタを含むアクティブマトリクス表示部と、該薄膜トランジスタに対する画像信号の供給を制御する水平シフトレジスタ及び選択信号を供給する垂直シフトレジスタを含む周辺駆動回路部と、これらシフトレジスタに入力クロック信号を供給する低振幅入力レベル変換回路とが同一基板上に形成されたアクティブマトリクス型液晶表示装置が挙げられる。この場合には、低振幅入力レベル変換回路は、電界効果型のTFTを集積形成したものである。但し、本発明はこれに限られるものではなく、低振幅入力レベル変換回路はバルクシリコンを用いたMOSトランジスタであっても良い。又、半導体材料としてGaAsを用いたものであっても良い。

【0011】

【作用】本発明によれば、低振幅の入力クロック信号を先ずTFTの閾値に応じた適正なレベルまで内部的にオフセットを加え、しかる後レベル変換を行なう。従来閾値プラス α の入力クロック信号振幅が必要であったのに対し、閾値以下の入力ピーク電位であっても十分パルス増幅動作が可能となる。従って、本発明にかかる低振幅入力レベル変換回路を用いれば、低電圧化されたCMOSゲートアレイからなるタイミングジェネレータに対しても直接クロックインターフェースが可能となる。又、本発明は二相入力レベル変換回路ばかりでなく単相入力レベル変換回路にも適用可能であり、クロックインターフェースとして用いた場合接続端子数を削減することができる。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明にかかる低振幅入力レベル変換回路の第1実施例を示す回路図である。図示する様に、本レベル変換回路は前段のディテクタ／オフセッ

タ1A、1Bと後段のレベルシフタ2（レベル変換部）とから構成されている。レベルシフタ2は所定の閾値 V_{th} を有する入力トランジスタ m_{n1} を含み、比較的低振幅の入力クロック信号 $CK1$ を比較的高振幅の出力クロック信号 V_{out} に増幅する様動作する。なお、本例では入力トランジスタ m_{n1} はNチャネル電界効果型のTFTからなる。一方、ディテクタ／オフセッタ1Aは入力トランジスタ m_{n1} の閾値 V_{th} を検出し、これに応じたオフセットを入力クロック信号 $CK1$ に加えた後レベルシフタ2に供給する。このディテクタ／オフセッタ1Aは検出素子を備えている。検出素子は、該入力トランジスタ m_{n1} と同等の閾値を有する様に形成された検出トランジスタ m_{pA} を備え、そのソース／ゲート間に生じる閾値レベルの電圧に応じたオフセットを入力クロック信号 $CK1$ にかけるとともに、該検出トランジスタ m_{pA} を駆動する電流源 I_o が備えられている。この検出トランジスタ m_{pA} はPチャネル電界効果型のTFTからなり、ドレインとゲートは互いに結線されているとともに、対応する入力トランジスタ m_{n1} のゲートにも接続されている。又、そのソースには入力クロック信号 $CK1$ が供給される。検出トランジスタ m_{pA} はソース／ゲート間の電圧が閾値を超えた時導通し、電流源 I_o から電流が流れる。この電流が流れるとノードAの電位が低下し検出トランジスタ m_{pA} は非導通状態となる。従って、定常状態では、検出トランジスタ m_{pA} のソース／ゲート間電圧は閾値電圧 $+ \alpha$ に保たれる。検出トランジスタ m_{pA} の閾値は入力トランジスタ m_{n1} と等しくなる様に予め形成されているので、結果的に入力トランジスタ m_{n1} の閾値が検出された事になる。図から明らかな様に、入力トランジスタ m_{n1} のゲートには常に閾値 $V_{th} + \alpha$ のバイアスがかかる為、入力クロック信号 $CK1$ にはこのバイアスに応じたDCオフセットが加えられる事になる。

【0013】本例では、レベルシフタ2は一对の入力トランジスタ m_{n1} 、 m_{n2} と一对の負荷トランジスタ m_{p1} 、 m_{p2} とを含むカレントミラー回路からなる。他方の入力トランジスタ m_{n2} も同様にNチャネル電界効果型のTFTからなり、対応する他方のディテクタ／オフセッタ1Bに接続されている。又負荷トランジスタ m_{p1} 、 m_{p2} はともにPチャネル電界効果型のTFTからなる。一对の入力トランジスタ m_{n1} 、 m_{n2} には互いに逆相の入力クロック信号 $CK1$ 、 $CK2$ が夫々対応するディテクタ／オフセッタ1A、1Bを介して供給される。一方のクロック信号 $CK1$ がハイレベルになると対応する入力トランジスタ m_{n1} が導通し、これに応じて負荷トランジスタ m_{p2} も導通する。従って、このトランジスタのドレインは電源電圧 V_{DD} 側に持ち上がり、増幅された出力クロック信号 V_{out} が得られる。所定の保持時間経過後、一对の入力クロック信号が反転し、他方の検出トランジスタ m_{pB} を介して他方の入力

トランジスタ $m n 2$ が導通すると、そのドレインは接地（ $G N D$ ）側にプルダウンされ、出力クロック信号 $V o u t$ が立ち下がる。

【0014】図2は、図1に示した低振幅入力レベル変換回路のシュミレーション結果を示す波形図である。縦軸に電圧をとり、横軸に経過時間をとってある。本例では、互いに逆相の入力クロック信号 $C K 1$ 、 $C K 2$ は約1Vの振幅を有し、約0.5 μs のパルス幅を有する。又、一对の入力トランジスタの閾値電圧 $V t h$ は3.5V程度である。さらに、電源電圧 $V D D$ は12V程度に設定されている。波形図から明らかな様に、入力クロック信号 $C K 1$ 、 $C K 2$ は図1に示したディテクタ／オフセット1A、1Bにより夫々閾値 $V t h + \alpha$ 分のオフセットを加えられ、入力ノードA、Bにおける電位波形は $V A$ 、 $V B$ で表わされる。このレベルシフトにより、入力トランジスタ $m n 1$ 、 $m n 2$ は有効に駆動される為、電源電圧 $V D D$ 付近までパルス増幅された出力クロック信号 $V o u t$ が得られる。但し、図1に示す負荷トランジスタ $m p 2$ が導通した時、これと直列に接続された入力トランジスタ $m n 2$ にも若干の貫通電流が流れる為、出力クロック信号 $V o u t$ のピークレベルには ΔV 分の電圧降下が見られる。但し、この電圧降下は実用上問題のないレベルである。本例では、入力トランジスタ $m n 2$ のソースとゲート間に閾値電圧 $V t h + \alpha$ 分の電圧が印加される為、若干の貫通電流が流れる事になる。上述した様に、本発明によれば入力トランジスタのゲートに常に閾値以上の電圧が印加される為、無効分がなくレベル変換が高速に行なわれる。

【0015】図3は図1に示したディテクタ／オフセット1Aの具体的な構成例を示す回路図である。（a）の具体例では、検出トランジスタ $m p A$ に接続される電流源が、ゲート接地されたPチャネル電界効果型のトランジスタ $m p 3$ からなる。一方、（b）の具体例では、この電流源が高抵抗素子 R からなる。

【0016】図4は、本発明にかかる低振幅入力レベル変換回路の第2実施例を示す回路図である。理解を容易にする為、図1に示した第1実施例と対応する部分には対応する参照番号及び参照符号を付してある。本例では、レベルシフタとしてカレントミラー回路に代え、フリップフロップ回路が採用されている。即ち、一方の入力トランジスタ $m n 1$ のドレインは対向する負荷トランジスタ $m p 2$ のゲートに接続され、他方の入力トランジスタ $m n 2$ のドレインは同じく対向する負荷トランジスタ $m p 1$ のゲートに接続されている。一方の入力クロック信号 $C K 1$ がハイレベルになると入力トランジスタ $m n 1$ が導通しこれに応じて負荷トランジスタ $m p 2$ も導通する。この結果、トランジスタ $m p 2$ のドレインは電源電圧 $V D D$ 側にプルアップされ一方の出力クロック信号 $V o u t 1$ はハイレベルになる。この時、残りの負荷トランジスタ $m p 1$ は非導通状態となるので、他方の出

力端子にはローレベルの出力クロック信号 $V o u t 2$ が現われる。次に、一对の入力クロック信号 $C K 1$ 、 $C K 2$ が反転すると、入力トランジスタ $m n 1$ が非導通状態となり、代わりに入力トランジスタ $m n 2$ が導通状態となる。この結果、出力クロック信号 $V o u t 1$ は立ち下がり、他方の出力クロック信号 $V o u t 2$ が立ち上がる事になる。なお、本例では入力トランジスタとしてNチャネル型を用い、負荷トランジスタとしてPチャネル型を用いたが、これを逆にしても良い事は勿論である。この時には、電源電圧 $V D D$ 側と接地（ $G N D$ ）側を入れ換える様にする。この様な変形は、図1に示した第1実施例においても当然可能である。

【0017】図5は本発明にかかる低振幅入力レベル変換回路の第3実施例を示す回路図である。本実施例は、図1に示した第1実施例の変形であって、出力クロック信号の電圧降下 ΔV を抑制する事を目的とする。基本的に第1実施例と同様の構成を有しており、対応する部分には対応する参照符号を付して理解を容易にしている。異なる点は、入力トランジスタ $m n 1$ のソースを接地せず、入力クロック信号 $C K 2$ を供給する事と、同じく入力トランジスタ $m n 2$ のソースに入力クロック信号 $C K 1$ を供給する事である。

【0018】次に、この第3実施例の動作を詳細に説明する。なお、本例では互いに逆相の入力クロック信号 $C K 1$ 、 $C K 2$ の振幅を2.0Vに設定し、入力トランジスタ $m n 1$ 、 $m n 2$ の閾値を3.5Vに設定している。一方の入力クロック信号 $C K 1$ がハイレベルになると、対応する入力トランジスタ $m n 1$ のゲートには閾値分のオフセットが加わった5.5Vが印加される。この時、入力トランジスタ $m n 1$ のソースにはローレベルにあるクロック信号 $C K 2$ が印加されているので、ソース／ゲート間電圧は5.5Vとなり当該入力トランジスタ $m n 1$ は導通する。従って、負荷トランジスタ $m p 2$ のゲートが0Vに引かれるのでオン状態となり、出力クロック信号 $V o u t$ は電源電圧 $V D D$ 側に立ち上がる。この時、直列接続されている入力トランジスタ $m n 2$ のソースには入力クロック信号 $C K 1$ の2.0Vが印加され、同じくゲートには閾値分に相当する電圧3.5Vが印加されている。この入力トランジスタ $m n 2$ のソース／ゲート間電圧は3.5V-2.0V=1.5Vとなり、完全なオフ状態を維持する。従って、負荷トランジスタ $m p 2$ のドレインは略完全に電源電圧 $V D D$ 側に持ち上げられ、出力クロック信号 $V o u t$ に実質的な電圧降下は生じない。

【0019】ここで、図6を参照して本発明にかかる低振幅入力レベル変換回路の応用例を説明する。本例では、低振幅入力レベル変換回路はアクティブマトリクス型液晶表示装置51に内蔵され、外部タイミングジェネレータ52に対するクロックインターフェースとして機能する。図示する様に、アクティブマトリクス型液晶表

示装置51はアクティブマトリクス表示部を有し、マトリクス状に配列した多数の液晶画素LCとこれを駆動するTFTとを含んでいる。なお、個々の液晶画素LCの両端には付加容量CSが並列接続されている。各TFTのドレインは対応する液晶画素LCの一端を構成する画素電極に接続され、ソースは信号ライン53に接続され、ゲートはゲートライン54に接続されている。又、各液晶画素LCの他端は対向電極COMに接続されている。複数のゲートライン54は垂直シフトレジスタ55に接続されており選択信号の供給を受ける。複数の信号ライン53は夫々サンプリングスイッチSWを介して共通のデータライン56に接続されており画像信号Vsigの供給を受ける。各サンプリングスイッチSWは対応するゲート回路57を介して水平シフトレジスタ58に接続されている。これらシフトレジスタ55、58等は周辺駆動回路部を構成する。

【0020】垂直シフトレジスタ55は線順次でゲートライン53を選択する。一方、水平シフトレジスタ58はゲート回路57を介して順次サンプリングスイッチSWを導通させ、画像信号Vsigを各信号ライン53に分配する。1本のゲートライン54が選択されると、当該ライン上のTFTが一斉に導通状態となる。この導通したTFTを介して、各信号ライン53からサンプリングされた画像信号Vsigが液晶画素LCに書き込まれる。当該ゲートラインの選択が解除されると、液晶画素LCに書き込まれた画像信号は、次の選択動作までそのまま保持される。

【0021】水平シフトレジスタ58は水平スタート信号HSTにより起動し、互いに逆相の水平クロック信号HCK1、HCK2に同期して水平スタート信号HSTを順次転送し、サンプリングスイッチSWを駆動する。又、垂直シフトレジスタ55は垂直スタート信号VSTに応じて起動し、互いに逆相の垂直クロック信号VCK1、VCK2に同期して垂直スタート信号VSTを転送し、複数のゲートライン54を線順次で選択する。これら水平スタート信号HST、水平クロック信号HCK1、HCK2、垂直スタート信号VST、垂直クロック信号VCK1、VCK2は、夫々前述した低振幅入力レベル変換回路61～64により内部的に形成される。これらの低振幅入力レベル変換回路61～64は、具体的には図1、図4又は図5に示した回路構成を有する。但し、単相の内部クロック信号を出力する図1又は図5の回路構成を用いて、一対の水平クロック信号HCK1、HCK2又は垂直クロック信号VCK1、VCK2を形成する場合には、内部的に反転信号を作成する為のインバータが必要になる。上述した低振幅入力レベル変換回路61～64には、外部タイミングジェネレータ52から夫々適切に調整された周期及び位相を有する二相入力クロック信号が供給される。

【0022】ところで図6に示した応用例では、低振幅

入力レベル変換回路61ないし64として二相入力構造のものが採用されている。従って、タイミングジェネレータ52と二相入力レベル変換回路61ないし64からなるクロックインターフェースとの間には合計8個の接続端子が必要である。二相入力レベル変換回路に代えて単相入力レベル変換回路をクロックインターフェースとして用いれば、この接続端子数を半減する事が可能である。特に、水平スタート信号HSTを出力するレベル変換回路61及び垂直スタート信号VSTを出力するレベル変換回路63については、本来的に単相入力構造の方が適している。この点に鑑み、図11に本発明の第4実施例として単相入力レベル変換回路を示す。この第4実施例は、図5に示した二相入力構造の第3実施例を単相入力構造に改良したものである。従って、理解を容易にする為第3実施例と対応する部分には対応する参照符号を付してある。図示する様に、一方のディテクタ／オフセッタ1Aには単相の入力クロック信号CKが供給されており、その構成は先の実施例に含まれるディテクタ／オフセッタと同様である。但し、本実施例では検出トランジスタmnAとしてPチャネル型に代えNチャネル型を採用している。他方のディテクタ／オフセッタ1Bは同様にNチャネル型の検出トランジスタmnBを含んでいる。但し、そのソースは接地されている。両方のディテクタ／オフセッタ1A、1Bの間にはレベルシフタ2が接続されており、本例では差動型カレントミラー回路からなる。図示する様に、レベルシフタ2は一対の入力トランジスタmn1、mn2を含んでおり、一方の入力トランジスタmn1のゲートには対応する検出トランジスタmnAにより所定のオフセットが加えられた単相の入力クロック信号CKが印加される。他方の入力トランジスタmn2のゲートには対応する検出トランジスタmnBを介して直接所定のオフセットが印加されている。この単相入力クロック信号CKは同時に他方の入力トランジスタmn2のソースに供給されている。このレベルシフタ2は補助素子を含んでおり、単相入力クロック信号CKがゼロレベルに切り換わった時、一方の入力トランジスタmn1の駆動能力を他方の入力トランジスタmn2より低下させ、出力クロック信号Voutの反転安定化を図る。該補助素子はNチャネル型の補助トランジスタmnXからなり、そのソースは他方の入力トランジスタmn2のソースに接続されており、そのドレインは一方の入力トランジスタmn1のゲートに接続されており、そのゲートは他方の入力トランジスタmn2のゲートと共通接続されている。

【0023】引き続き図11を参照して単相入力レベル変換回路の動作を詳細に説明する。単相入力クロック信号CKがハイレベルに立ち上がると検出トランジスタmnAを介して一方の入力トランジスタmn1が導通状態となり駆動トランジスタmp2のゲート電圧が接地レベル側に引き下げられる。この結果駆動トランジスタmp

2が導通状態となり出力ノードCの電位が電源電圧VDD側に引き上げられ出力クロック信号Voutが立ち上がる。続いて単相入力クロック信号CKがゼロレベルに立ち下がると一方の入力トランジスタmn1のゲートにはオフセットレベルの電圧が印加される。他方の入力トランジスタmn2のゲートには対応する検出トランジスタmnBにより常時オフセットレベルの電圧が印加されている。従って、このままではレベルシフタ2を構成するカレントミラー回路の差動入力に電位差が生じない為出力ノードCの電位が不定になるか、あるいは電源電位VDDと接地電位(GND)の中間レベルになってしまう。そこで、本実施例では差動型カレントミラー回路に補助トランジスタmnXを組み込み、単相入力クロック信号CKがゼロレベルの時ノードAの電位をノードBの電位よりも十分低下させる様にしている。この補助トランジスタmnXは単相入力クロック信号CKがハイレベルの時、入力トランジスタmn2と同様カットオフに近い状態である為、出力ノードCの充電を阻害しない。一方、単相入力クロック信号CKがゼロレベルの時、ノードAの電位を引き下げ検出トランジスタmnA、入力トランジスタmn1、負荷トランジスタmp1及びmp2をカットオフに近づけ、出力ノードCの放電特性を改善して出力クロック信号Voutの状態を確定させる。なお設計事項として補助トランジスタmnXのサイズをある程度最適化する事が重要である。例えば、補助トランジスタmnXのサイズが大きすぎると単相入力クロック信号CKがゼロレベルの時ノードAの電位は十分に引き下げる事ができる一方、単相入力クロック信号CKがハイレベルの時補助トランジスタmnXの漏れ電流によりノードAの電位が十分に上昇しきらず、出力ノードCの充電特性を損なう恐れがある。

【0024】図12は、図11に示した第4実施例の回路構成をさらに具体化させたものである。この具体例では電源電圧VDDは12Vに設定されている。又、検出トランジスタmnAの電流源としてトランジスタmp3, mp5, mn6からなるカレントミラー構成を採用している。特に、電流制御用の高抵抗素子としてトランジスタmn6を採用している。同様に、他方の検出トランジスタmnBの電流源として、トランジスタmp4, mp5, mn6からなるカレントミラー構成を採用している。さらに、出力ノードCには一対のトランジスタmp7, mn7からなるインバータを介して負荷容量CLDが接続される。このインバータは出力バッファである。

【0025】最後に図13を参照して、図12に示した単相入力レベル変換回路のシミュレーション結果を示す。(1)は5Vの振幅を有する単相入力クロック信号CKを供給した場合のシミュレーション結果を表わしている。なお入力クロック信号CKのパルス幅は約200nsである。出力クロック信号Voutは入力クロック信

号CKに応答して十分電源電圧レベル近傍まで立ち上がる。又、負荷容量には反転された出力電圧VLDが印加される。(2)は単相入力クロック信号CKの振幅を3Vまで下げた場合のシミュレーション結果を表わしている。(1)の場合と比べ略遜色なく応答性に優れた出力クロック信号Vout及び出力電圧VLDが得られている。

【0026】

【発明の効果】以上説明した様に、本発明によれば、低振幅の入力クロック信号を適正なレベルまで内部的にオフセットし、しかる後パルス振幅のレベル変換を行なう事により、アクティブマトリクス型液晶表示装置等によって代表される薄膜トランジスタ集積回路装置のクロックインターフェースを例えば3V以下の低電圧で高速に行なう事が可能になるという効果がある。外部タイミングジェネレータを構成するCMOSゲートアレイの低電圧化トレンドに十分対応する事が可能となり、ゲートアレイ側においても特に高耐圧MOSプロセスによるパルスアンプを組み込む必要がなくなり、チップの小型化が可能になるという効果がある。さらに、CMOSゲートアレイに直接接続可能となる為、アクティブマトリクス型液晶表示装置キットの商品性が高まるという効果がある。加えて、本発明によれば、二相入力レベル変換回路に補助素子を追加するという単純な構成により単相入力化が可能となり、安定且つ高速のパルス増幅が行なえるという効果がある。かかる構成を有する単相入力レベル変換回路を用いる事により、シフトレジスタのスタートパルスの様な単相信号のレベル変換が容易に実現可能になるという効果がある。単相入力レベル変換回路をクロックインターフェースとして用いる事により、従来に比し接続端子数を削減する事が可能になるという効果がある。

【図面の簡単な説明】

【図1】本発明にかかる低振幅入力レベル変換回路の第1実施例を示す回路図である。

【図2】図1に示した実施例のシミュレーション結果を示す波形図である。

【図3】図1に示した実施例に組み込まれるディテクタ／オフセッタの構成例を示す回路図である。

【図4】本発明にかかる低振幅入力レベル変換回路の第2実施例を示す回路図である。

【図5】本発明にかかる低振幅入力レベル変換回路の第3実施例を示す回路図である。

【図6】本発明にかかる低振幅入力レベル変換回路の応用例を示すブロック図である。

【図7】従来のレベル変換回路の一例を示す回路図である。

【図8】従来のレベル変換回路の動作を説明する為の波形図である。

【図9】従来のレベル変換回路の他の例を示す回路図で

ある。

【図10】従来のレベル変換回路の動作を説明する為の波形図である。

【図11】本発明にかかる低振幅入力レベル変換回路の第4実施例を示す回路図である。

【図12】図11に示した第4実施例の具体的な回路構成例を示す回路図である。

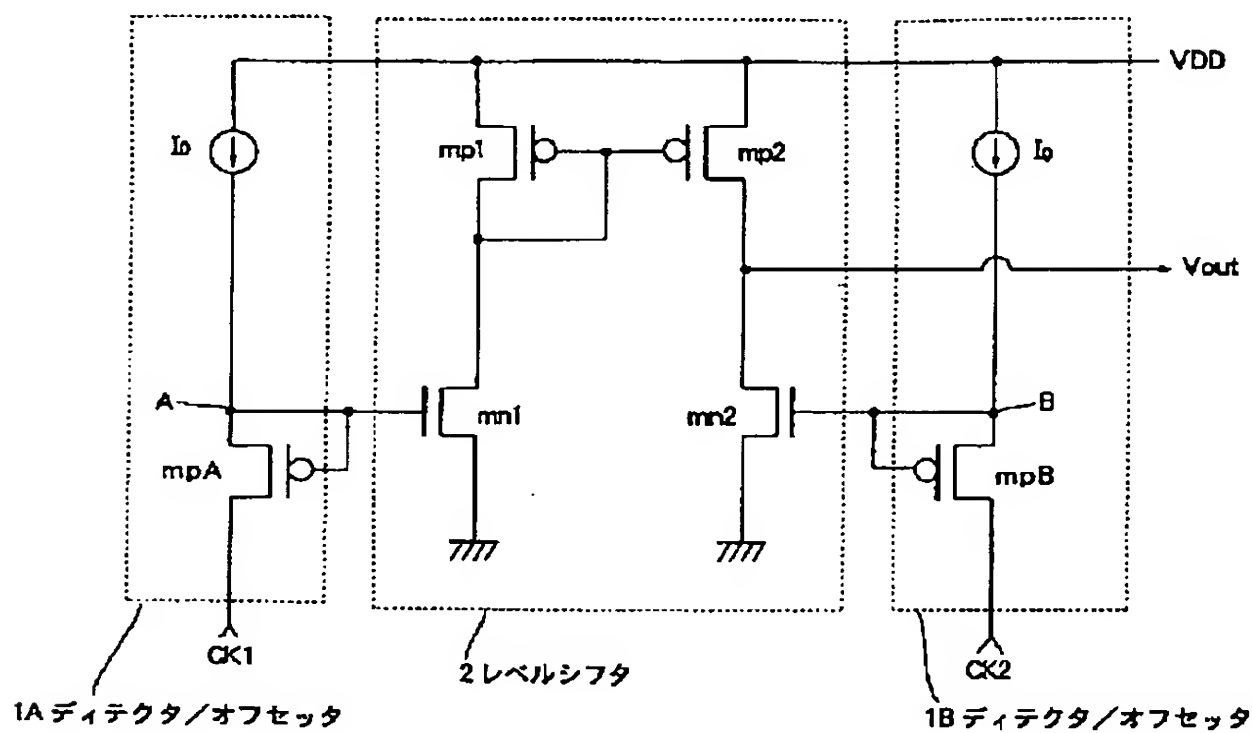
【図13】図12に示した具体例のシミュレーション結果を示す波形図である。

【符号の説明】

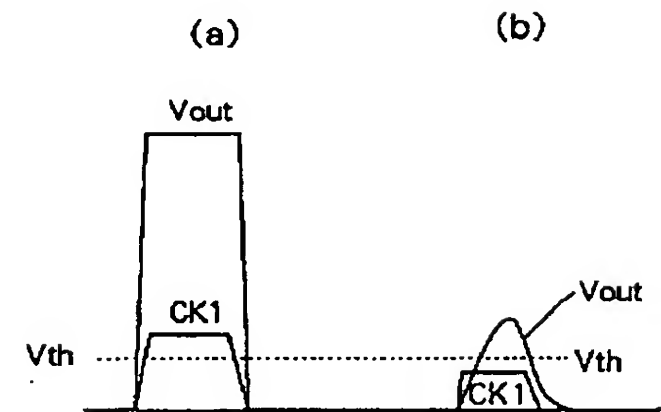
1A ディテクタ／オフセット
1B ディテクタ／オフセット

2 レベルシフト
mn1 入力トランジスタ
mn2 入力トランジスタ
mp1 負荷トランジスタ
mp2 負荷トランジスタ
mpA 検出トランジスタ
mpB 検出トランジスタ
mnX 補助トランジスタ
CK 単相入力クロック信号
CK1 入力クロック信号
CK2 入力クロック信号
Vout 出力クロック信号

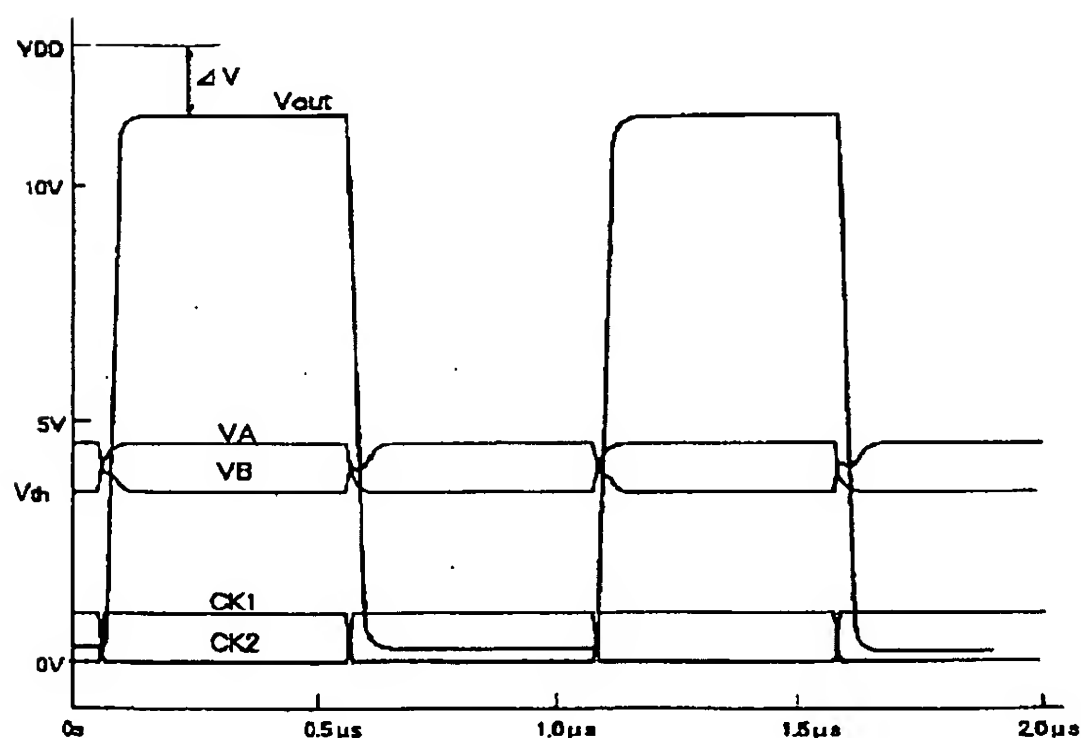
【図1】



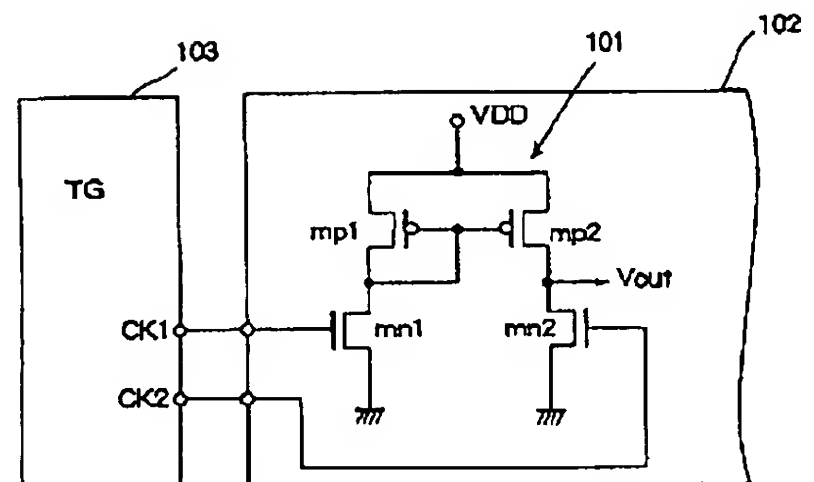
【図8】



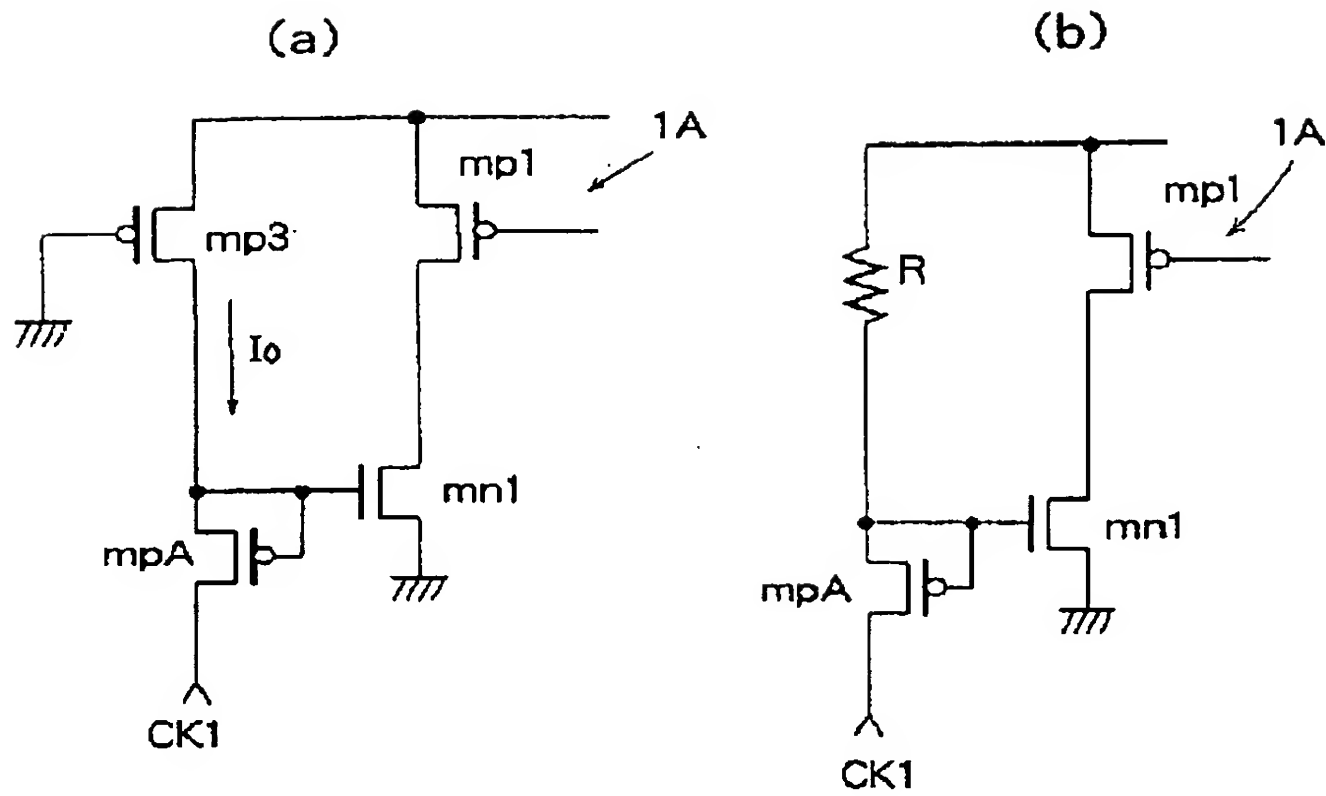
【図2】



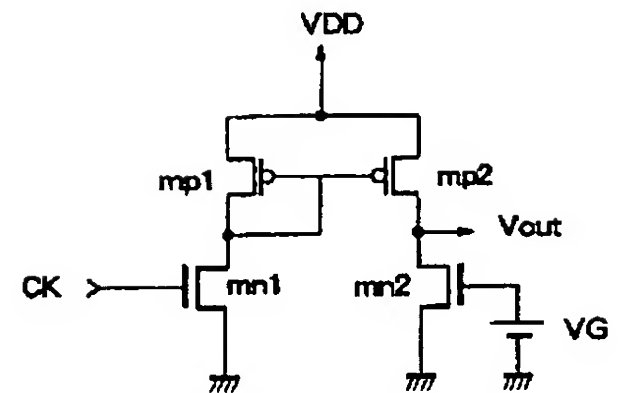
【図7】



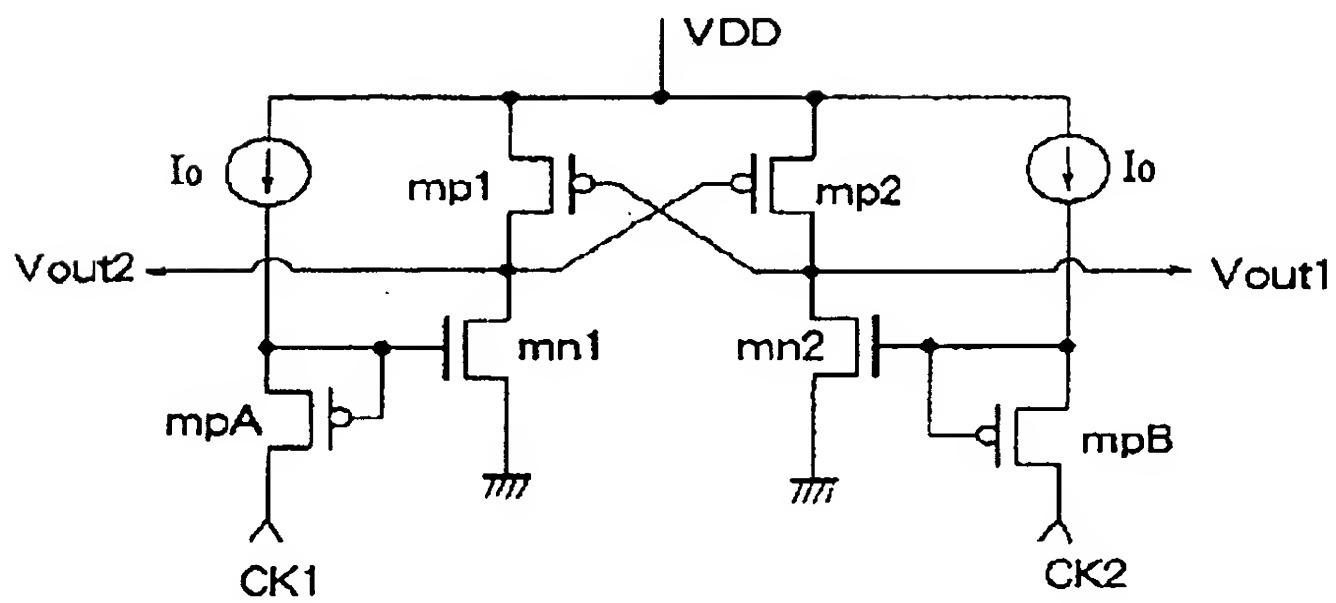
【図3】



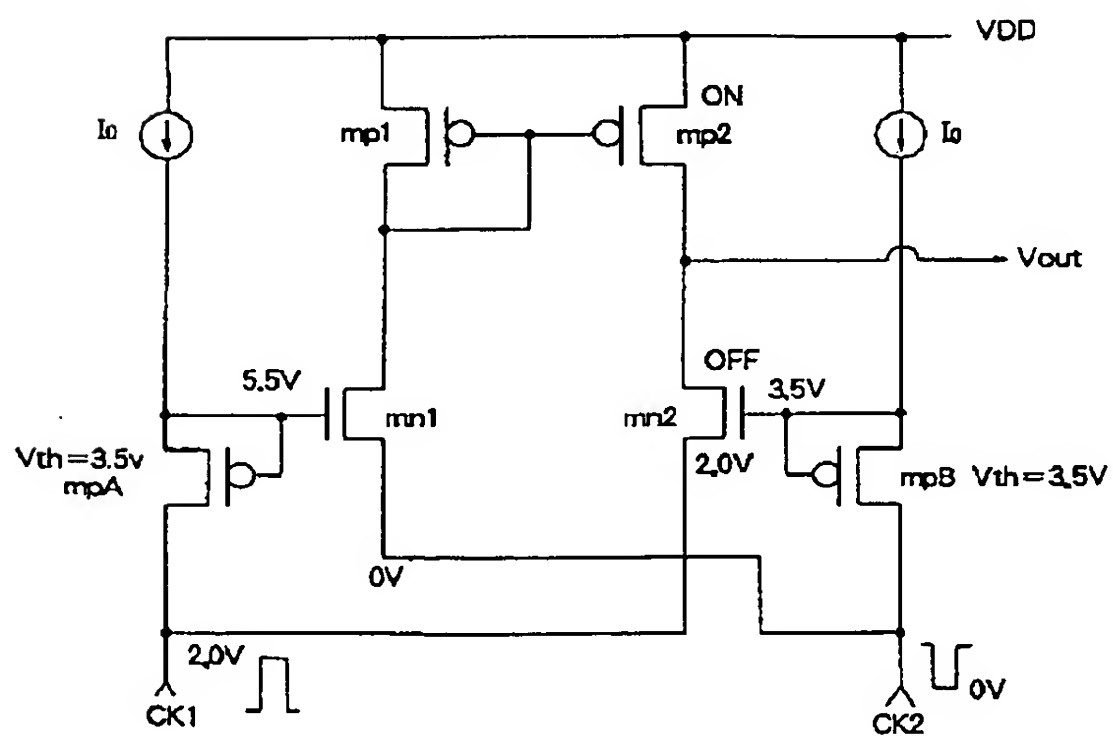
【図9】



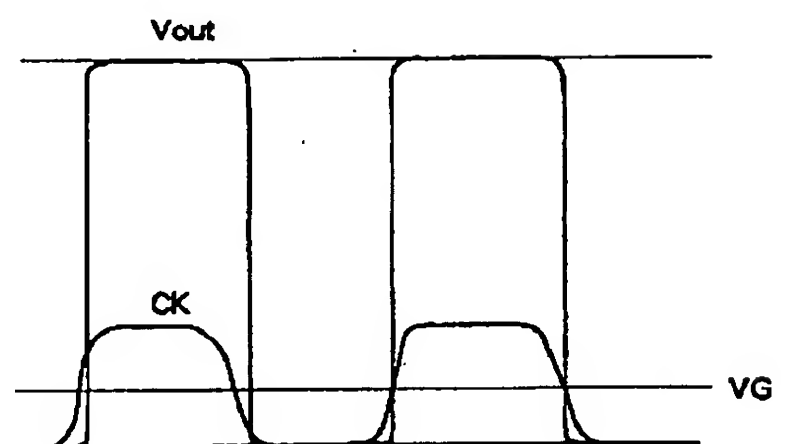
【図4】



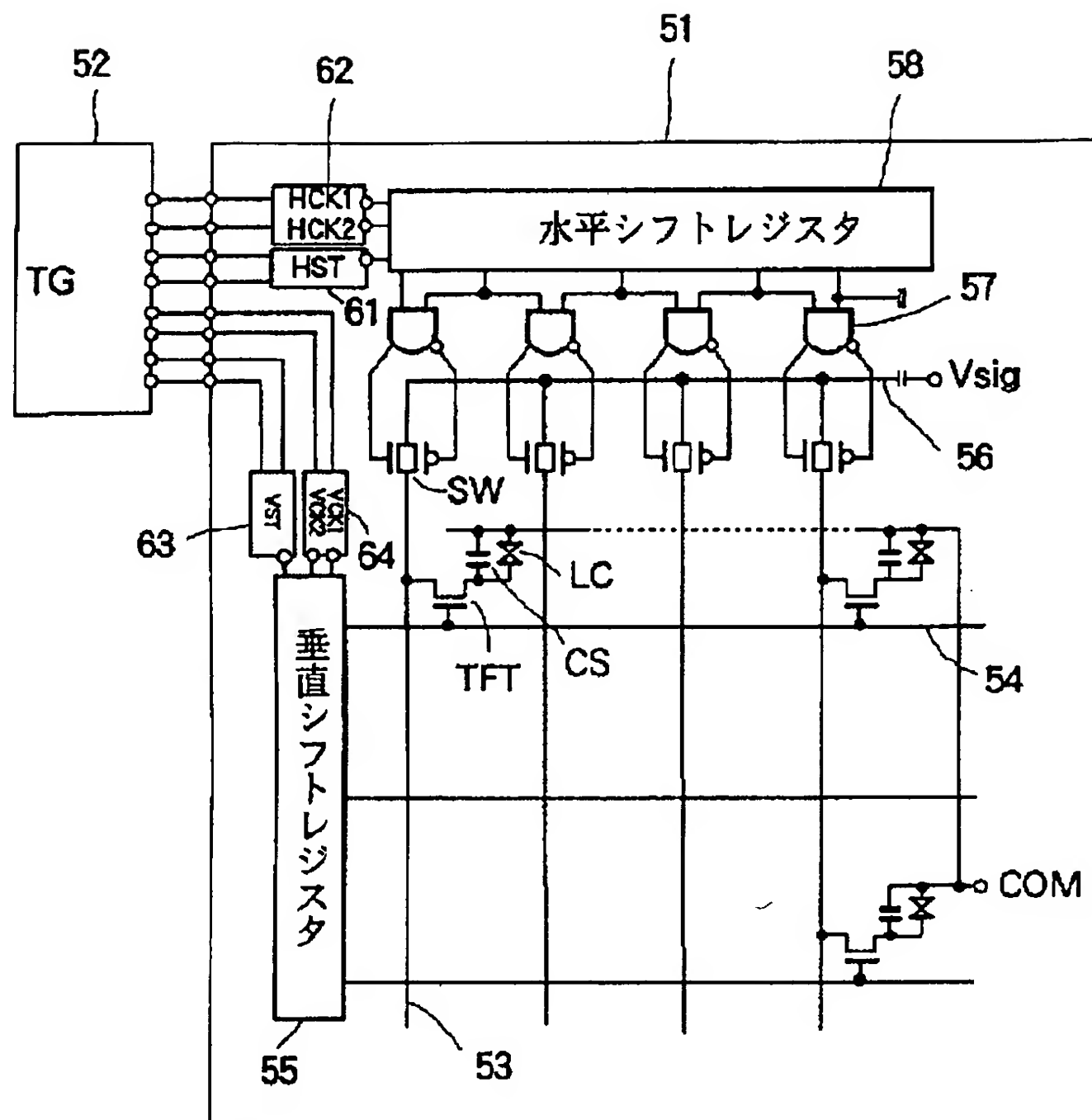
【図5】



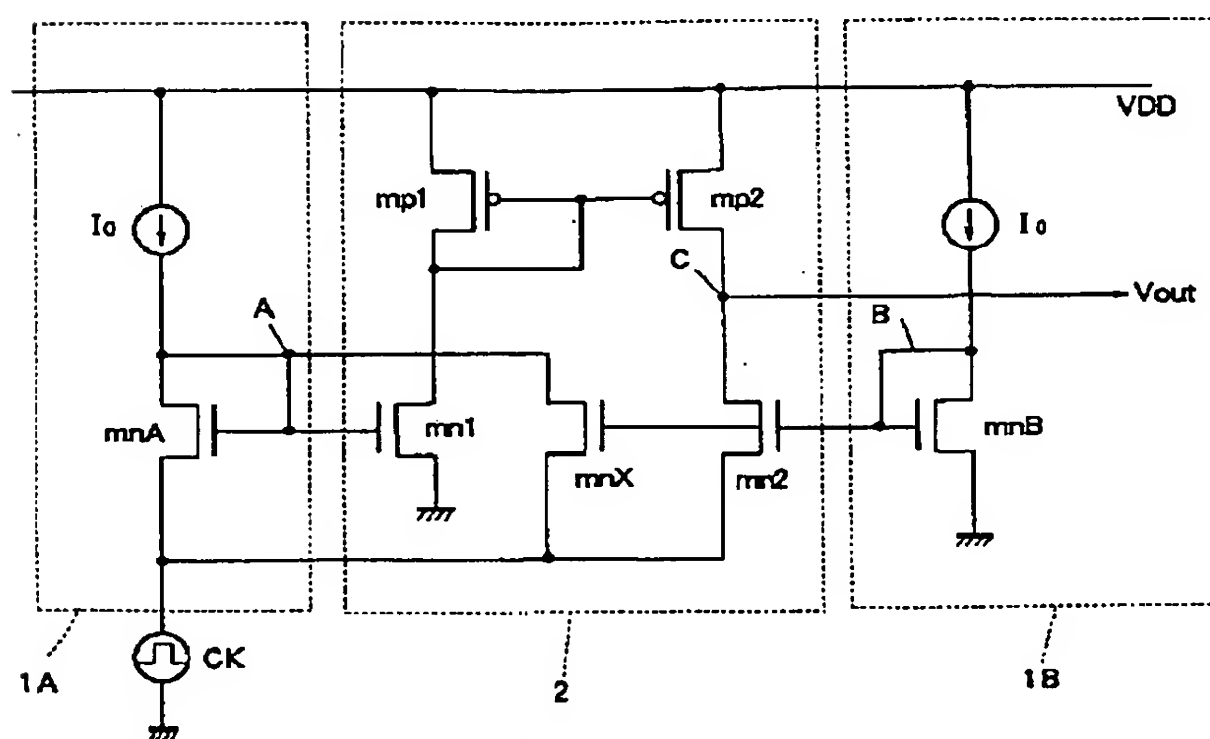
【図10】



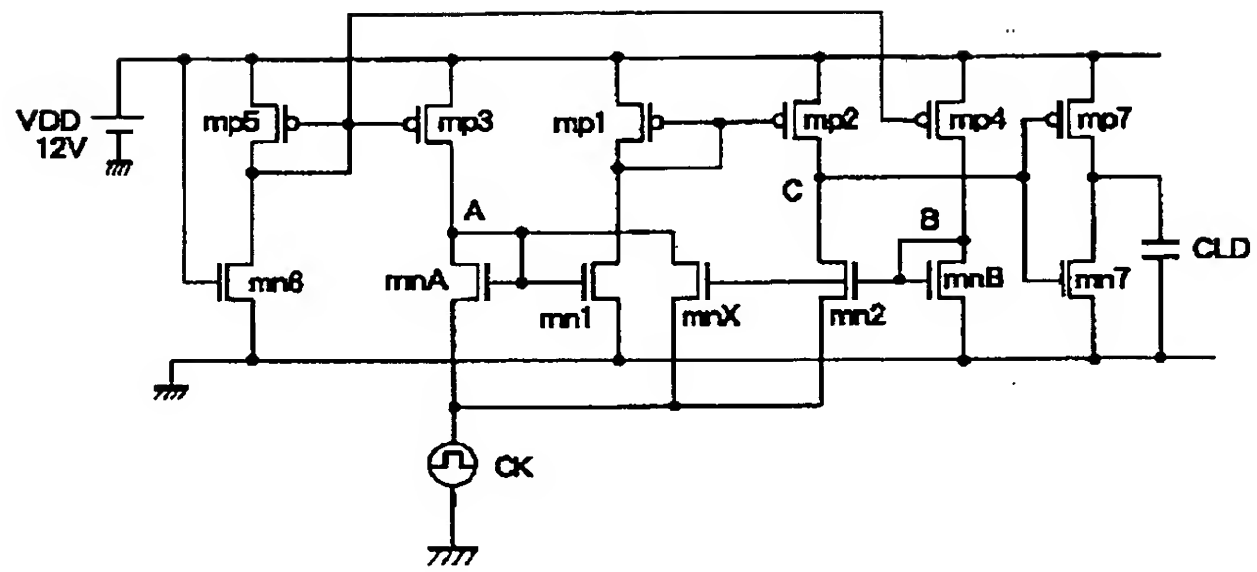
【図6】



【図11】



【図12】



【図13】

